

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

#3
Priority
paper
5-1-01
R. H. H. H.

1c986 U.S. PRO
09/785502
02/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 2月22日

出願番号

Application Number:

特願2000-043928

出願人

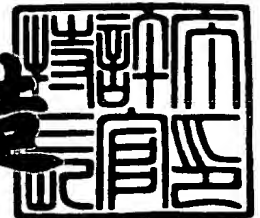
Applicant(s):

松下電子工業株式会社

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3113146

【書類名】 特許願

【整理番号】 2925010094

【提出日】 平成12年 2月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 長野 能久

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 那須 徹

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 林 慎一郎

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 藤井 英治

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011316

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809939

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 ソース領域、ドレイン領域およびゲートからなるトランジスタが集積化された半導体基板上の全面を覆う保護絶縁膜と、前記保護絶縁膜に形成され前記トランジスタのソース領域またはドレイン領域に接続されたコンタクトプラグと、前記保護絶縁膜上に形成され前記コンタクトプラグに接続された下部電極、前記下部電極上または前記下部電極側壁に形成された絶縁性金属酸化物からなる容量膜、前記容量膜上または前記容量膜側壁に形成された上部電極、以上からなるデータ記憶用容量素子を有する半導体記憶装置において、前記下部電極が第 1 のバリア膜と第 2 のバリア膜とからなり、前記第 1 のバリア膜がコンタクトプラグと接しており、さらに、前記第 2 のバリア膜が前記第 1 のバリア膜を完全にカバーしていることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置において、前記第 1 のバリア膜が前記コンタクトプラグを構成する材料に対するバリア膜、または上層が酸素に対するバリア膜で下層がコンタクトプラグを構成する材料に対するバリア膜との積層膜であることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 記載の半導体記憶装置において、前記コンタクトプラグを構成する材料に対するバリア膜が、 TiN 、 $TiAlN$ 、 $TiSiN$ 、 TaN 、 $TaSiN$ 、 $TaAlN$ から選ばれた膜、または TiN 、 $TiAlN$ 、 $TiSiN$ 、 TaN 、 $TaSiN$ 、 $TaAlN$ から選ばれた上層と Ti 、 Ta から選ばれた下層との積層膜で構成されていることを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 記載の半導体記憶装置において、前記酸素に対するバリアが、 Ir 膜、または上層から IrO_2 / Ir の積層膜で構成されていることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 記載の半導体記憶装置において、前記第 2 のバリア膜が酸素バリア膜を含むことを特徴とする半導体記憶装置。

【請求項 6】 請求項 5 に記載の半導体記憶装置において、前記酸素バリア膜が IrO_2 膜、または上層から Ir / IrO_2 の積層膜、または上層から Pt / Ir

r O_2 の積層膜、または上層から $\text{Pt} / \text{Ir} / \text{Ir O}_2$ の積層膜で構成されていることを特徴とする半導体記憶装置。

【請求項7】 ソース領域、ドレイン領域およびゲートからなるトランジスタが集積化された半導体基板上の全面を覆う保護絶縁膜と、前記保護絶縁膜に形成され前記トランジスタのソース領域またはドレイン領域に接続されたコンタクトプラグと、前記保護絶縁膜上に形成され前記コンタクトプラグに接続された下部電極、前記下部電極上または前記下部電極側壁に形成された絶縁性金属酸化物からなる容量膜、前記容量膜上または前記容量膜側壁に形成された上部電極、以上からなるデータ記憶用容量素子を有する半導体記憶装置において、前記下部電極が第3のバリア膜と第4のバリア膜とを含んでおり、前記第3のバリア膜がコンタクトプラグと接しており、さらに、前記第4のバリア膜が前記第3のバリア膜の側壁をカバーしていることを特徴とする半導体記憶装置。

【請求項8】 請求項7記載の半導体記憶装置において、前記第3のバリア膜が、上層が酸素バリア膜、下層が前記コンタクトプラグを構成する材料に対するバリア膜との積層膜であることを特徴とする半導体記憶装置。

【請求項9】 請求項8記載の半導体記憶装置において、前記コンタクトプラグを構成する材料に対するバリア膜が、 TiN 、 TiAlN 、 TiSiN 、 TaN 、 TaSiN 、 TaAlN から選ばれた膜、または TiN 、 TiAlN 、 TiSiN 、 TaN 、 TaSiN 、 TaAlN から選ばれた上層と Ti 、 Ta から選ばれた下層との積層膜で構成されていることを特徴とする半導体記憶装置。

【請求項10】 請求項8記載の半導体記憶装置において、前記酸素に対するバリアが、 Ir 膜、または上層から $\text{Ir O}_2 / \text{Ir}$ の積層膜、または上層から Pt / Ir の積層膜、または上層から $\text{Pt} / \text{Ir O}_2 / \text{Ir}$ で構成されていることを特徴とする半導体記憶装置。

【請求項11】 請求項7記載の半導体記憶装置において、前記第4のバリア膜が酸素バリア膜を含むことを特徴とする半導体記憶装置。

【請求項12】 請求項11に記載の半導体記憶装置において、前記酸素バリア膜が Ir O_2 、または上層から $\text{Ir} / \text{Ir O}_2$ の積層膜、または上層から $\text{Pt} / \text{Ir O}_2$ の積層膜、または上層から $\text{Pt} / \text{Ir} / \text{Ir O}_2$ の積層膜で構成されてい

ることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁性金属酸化物を容量膜とした半導体記憶装置に関するものである。

【0002】

【従来の技術】

近年デジタル技術の進展に伴い、大容量のデータを処理、保存する傾向が推進される中で電子機器が一段と高度化し、使用される半導体装置もその半導体素子の微細化が急速に進んできている。それに伴ってダイナミックRAMの高集積化を実現するために、従来の珪素酸化物または窒化物の代わりに高誘電体を容量絶縁膜として用いる技術が広く研究開発されている。さらに従来にない低動作電圧かつ高速書き込み読み出し可能な不揮発性RAMの実用化を目指し、自発分極特性を有する強誘電体膜に関する研究開発が盛んに行われている。これら高誘電体、強誘電体を用いた半導体メモリーにおいて、メガビット級の高集積メモリーを実現する場合には、従来のプレーナ型メモリーセルに代わり、スタック型のメモリーセルが用いられることになる。その際の最重要課題は、コンタクトプラグと容量素子の下部電極との接触面が、強誘電体または高誘電体の結晶化時に必要な酸素雰囲気での熱処理により酸化されるのを防止することである。

【0003】

以下従来の半導体装置について、図面を参照しながら説明する。

【0004】

図7は従来の半導体記憶装置の要部断面図である。この図7は特開平11-3977に記載されたものである。図7に示すように、ソース領域またはドレイン領域101、ゲート電極102からなるトランジスタが集積化された半導体基板全面を覆う保護絶縁膜103が形成されている。次に、保護絶縁膜103に、ソース領域またはドレイン領域101に接続されたコンタクトプラグ104が形成されている。最後に、コンタクトプラグ104上に上層からPt/酸素バリア層

／Tiで構成される下部電極105、強誘電体106および上部電極107からなる容量素子が形成されている。

【0005】

【発明が解決しようとする課題】

しかしながら、以上の従来例では解決できない新たな課題を、我々は新たに見いだした。この課題は、下部電極側壁からの酸素拡散によりコンタクトプラグ表面が酸化する結果、プラグと下部電極とのコンタクト不良が発生することである。詳細の内容を、図8を用いて以下に説明する。図8に示すようにコンタクトプラグ104上に下部電極105を形成した後、基板全面に強誘電体薄膜106を形成する際、強誘電体薄膜の結晶化に必要となる650℃から800℃での酸素雰囲気下での熱処理中に、酸素が下部電極中を熱拡散する。この酸素拡散は下部電極の上方向からと（図8の記号（a））、横方向から（図8の記号（b））起こる。上方向からの酸素拡散は下部電極中の酸素バリア層により防止できる。しかしながら、横方向からの酸素拡散は防止できない。なぜならば下部電極側壁では容易に酸化されるTiと強誘電体薄膜とが直接接するため、上記の熱処理中にTiが酸化されてしまうからである。その結果、コンタクトプラグ表面が酸化し、プラグと下部電極とのコンタクト不良が発生する。

【0006】

すなわち、下部電極側壁からの酸素拡散に伴うコンタクトプラグの不良がない、優れた特性を有する半導体記憶装置の実現が従来例では困難であるという課題を有していた。

【0007】

本発明は上記従来の課題を解決するものであり、TiまたはTa系の化合物を含む第1のバリア膜の側壁を酸素バリア膜からなる第2のバリア膜で完全にカバーできる構造を有する下部電極を用いることにより、下部電極側壁からの酸素拡散に伴うコンタクトプラグの不良を抑制できる。つまり、容易な方法により優れた特性を有する半導体記憶装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するために本発明の請求項 1 に記載の発明は、ソース領域、ドレイン領域およびゲートからなるトランジスタが集積化された半導体基板上の全面を覆う保護絶縁膜と、前記保護絶縁膜に形成され前記トランジスタのソース領域またはドレイン領域に接続されたコンタクトプラグと、前記保護絶縁膜上に形成され前記コンタクトプラグに接続された下部電極、前記下部電極上または側壁に形成された絶縁性金属酸化物からなる容量膜、前記容量膜上または側壁に形成された上部電極、以上からなるデータ記憶用容量素子を有し、前記下部電極が第 1 のバリア膜と第 2 のバリア膜とからなり、前記第 1 のバリア膜がコンタクトプラグと接しており、さらに、前記第 2 のバリア膜が前記第 1 のバリア膜を完全にカバーしている構成を有するものである。この構成によれば、コンタクトプラグを構成する材料に対するバリア膜を含む第 1 のバリア膜を、酸素バリア膜で構成される第 2 のバリア膜で完全にカバーされた構造にできるため、強誘電体または高誘電体薄膜結晶化時に必要な高温酸素雰囲気下の熱処理中に下部電極側壁から酸素が拡散し、コンタクトプラグが不良になることを防止できる。

【 0 0 0 9 】

本発明の請求項 2 に記載の発明は、請求項 1 の第 1 のバリア膜に関するものであり、前記第 1 のバリア膜がコンタクトプラグを構成する材料に対するバリア膜または上層から酸素に対するバリア膜とコンタクトプラグを構成する材料に対するバリア膜との積層膜である構成を有するものである。この構成によれば、コンタクトプラグを構成する材料が容量膜へ拡散することを抑制でき、容量膜の特性劣化を防止できる。

【 0 0 1 0 】

本発明の請求項 3 に記載の発明は、請求項 2 のコンタクトプラグを構成する材料に対するバリア膜に関するものであり、前記コンタクトプラグを構成する材料に対するバリア膜が、TiN、TiAlN、TiSiN、Ta₂N、TaSiN、TaAlNから選ばれた膜、またはTiN、TiAlN、TiSiN、Ta₂N、TaSiN、TaAlNから選ばれた上層とTi、Taから選ばれた下層との積層膜である構成を有するものである。この構成によれば、コンタクトプラグを構成する材料が容量膜へ拡散することを抑制でき、容量膜の特性劣化を防止できる

【 0 0 1 1 】

本発明の請求項 4 に記載の発明は、請求項 2 の酸素に対するバリア膜に対するものである、前記酸素に対するバリア膜が Ir または上層から IrO_2/Ir の積層膜である構成を有するものである。この構成によれば、強誘電体または高誘電体薄膜結晶化時に必要な高温酸素雰囲気下の熱処理中に、下部電極を通しての酸素拡散が抑制でき、その結果コンタクトプラグが不良になることを防止できる。

【 0 0 1 2 】

本発明の請求項 5 に記載の発明は、請求項 1 の第 2 のバリア膜に関するものであり、前記第 2 のバリア膜が酸素バリア膜を含む構成を有している。この構成によれば、強誘電体または高誘電体薄膜結晶化時に必要な高温酸素雰囲気下の熱処理中に、下部電極側壁を通しての酸素拡散が抑制でき、その結果コンタクトプラグが不良になることを防止できる。

【 0 0 1 3 】

本発明の請求項 6 に記載の発明は、請求項 5 の酸素バリア膜に関するものであり、前記酸素バリア膜が IrO_2 、または上層から Ir/IrO_2 の積層膜、または上層から Pt/IrO_2 の積層膜、または上層から $\text{Pt}/\text{Ir}/\text{IrO}_2$ の積層膜である構成を有するものである。この構成によれば、強誘電体または高誘電体薄膜結晶化時に必要な高温酸素雰囲気下の熱処理中に、下部電極側壁を通しての酸素拡散が抑制でき、その結果コンタクトプラグが不良になることを防止できる。

【 0 0 1 4 】

本発明の請求項 7 に記載の発明は、ソース領域、ドレイン領域およびゲートからなるトランジスタが集積化された半導体基板上の全面を覆う保護絶縁膜と、前記保護絶縁膜に形成され前記トランジスタのソース領域またはドレイン領域に接続されたコンタクトプラグと、前記保護絶縁膜上に形成され前記コンタクトプラグに接続された下部電極、前記下部電極上または前記下部電極側壁に形成された絶縁性金属酸化物からなる容量膜、前記容量膜上または前記容量膜側壁に形成さ

れた上部電極、以上からなるデータ記憶用容量素子を有する半導体記憶装置において、前記下部電極が第3のバリア膜と第4のバリア膜とを含んでおり、前記第3のバリア膜がコンタクトプラグと接しており、さらに、前記第4のバリア膜が前記第3のバリア膜の側壁をカバーしている構成を有している。この構成によれば、コンタクトプラグを構成する材料に対するバリア膜を含む第3のバリア膜の側壁を、酸素バリア膜で構成される第4のバリア膜で完全にカバーされた構造にできるため、強誘電体または高誘電体薄膜結晶化時に必要な高温酸素雰囲気下の熱処理中に下部電極側壁から酸素が拡散し、コンタクトプラグが不良になることを防止できる。

【0015】

本発明の請求項8に記載の発明は、請求項7の第3のバリア膜に関するものであり、前記第3のバリア膜が、上層が酸素バリア膜、下層が前記コンタクトプラグを構成する材料に対するバリア膜との積層膜である構成を有している。この構成によれば、コンタクトプラグを構成する材料が容量膜へ拡散することを抑制でき、容量膜の特性劣化を防止できる。さらに、酸素バリア膜により、上方向からの酸素拡散を抑制でき、その結果コンタクトプラグの酸化による不良を防止できる。

【0016】

本発明の請求項9に記載の発明は、請求項8のコンタクトプラグを構成する材料に対するバリア膜に関するものであり、前記コンタクトプラグを構成する材料に対するバリア膜が、TiN、TiAlN、TiSiN、Ta₂N、TaSiN、TaAlNから選ばれた膜、またはTiN、TiAlN、TiSiN、Ta₂N、TaSiN、TaAlNから選ばれた上層とTi、Taから選ばれた下層との積層膜の構成を有している。この構成によれば、コンタクトプラグを構成する材料が容量膜へ拡散することを抑制でき、容量膜の特性劣化を防止できる。

【0017】

本発明の請求項10に記載の発明は、請求項8の酸素に対するバリアに関するものであり、前記酸素に対するバリアが、Ir膜、または上層からIrO₂/Irの積層膜、または上層からPt/Irの積層膜、または上層からPt/IrO

Ir の構成を有している。この構成によれば、上方向からの酸素拡散を抑制でき、その結果コンタクトプラグの酸化による不良を防止できる。

【0018】

本発明の請求項 11 に記載の発明は、請求項 7 の第 4 のバリア膜に関するものであり、前記第 4 のバリア膜が酸素バリア膜を含む構成を有している。この構成によれば、コンタクトプラグを構成する材料に対するバリア膜を含む第 3 のバリア膜の側壁を、酸素バリア膜で構成される第 4 のバリア膜で完全にカバーされた構造にできるため、強誘電体または高誘電体薄膜結晶化時に必要な高温酸素雰囲気下の熱処理中に下部電極側壁から酸素が拡散し、コンタクトプラグが不良になることを防止できる。

【0019】

本発明の請求項 12 に記載の発明は、請求項 11 の酸素バリア膜に関するものであり、前記酸素バリア膜が IrO_2 または上層から Ir/IrO_2 の積層膜の構成を有している。この構成によれば、強誘電体または高誘電体薄膜結晶化時に必要な高温酸素雰囲気下の熱処理中に、下部電極側壁から酸素が拡散し、コンタクトプラグが不良になることを防止できる。

【0020】

【発明の実施の形態】

(第 1 の実施形態)

以下、本発明の第 1 の実施の形態について、図 1 から図 4 を参照しながら説明する。

【0021】

図 1 は本発明の第 1 の実施の形態による半導体記憶装置の要部断面図である。以下に図 1 を用いて本発明の第 1 の実施の形態による半導体記憶装置を説明する。

【0022】

まず、ソース領域 1a またはドレイン領域 1b、およびゲート 2 からなるトランジスタが集積化された半導体基板上の全面を覆う保護絶縁膜 3 を有する。次に、保護絶縁膜 3 に形成されたトランジスタのソース領域 1a またはドレイン領域

1 b に接続されるタングステンまたはポリシリコンからなるコンタクトプラグ 4 を有する。次に、保護絶縁膜 3 上に形成されコンタクトプラグ 4 に接続された、上層から $\text{Ir}/\text{TiAlN}/\text{Ti}$ の積層膜からなる第 1 のバリア膜 5 が配置される。なお各層の膜厚は、 Ir が 100 nm 、 TiAlN が 40 nm 、 Ti が 20 nm である。次に、第 1 のバリア膜を完全にカバーするように上層から Pt/IrO_2 の積層膜からなる第 2 のバリア膜 6 が配置される。なお各層の膜厚は、 Pt が 50 nm 、 IrO_2 が 150 nm である。特に、 IrO_2 については、膜厚が 70 nm から 250 nm の範囲であることが望ましい。この第 1 のバリア膜 5 と第 2 のバリア膜 6 とにより、容量素子の下部電極 7 が構成される。次に、下部電極 7 より外側に配置されるように、保護絶縁膜 3 および下部電極 7 上に形成された、膜厚が 50 nm から 200 nm の範囲にあるピスマス層状ペロブスカイト構造を有する $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ からなる容量膜 8 を有する。次に、容量膜 8 上の一部を少なくとも含むように配置された上層から Ti/Pt または TiN/Pt よりなる上部電極 9 を有する。なお各層の膜厚は Ti または TiN が 20 nm 、 Pt が 50 nm である。この下部電極 7、容量膜 8 および上部電極 9 により、データ記憶用容量素子が形成される。

【0023】

また、図 2 は本発明の第 1 の実施の形態による半導体記憶装置の製造方法の工程断面図である。以下に図 2 を用いて本発明の第 1 の実施の形態による半導体記憶装置の製造方法を説明する。

【0024】

まず、図 2 (a) に示すように、ソース領域 1 a、ドレイン領域 1 b およびゲート 2 からなるトランジスタが集積化された半導体基板上の全面を覆うように保護絶縁膜 3 を形成する。次に、保護絶縁膜 3 にトランジスタのソース領域 1 a またはドレイン領域 1 b に接続されたコンタクトホール 10 をドライエッチングにより形成した後、コンタクトホール 10 内にタングステンまたはポリシリコンからなるコンタクトプラグ 4 を CVD 法とエッチバック法または CMP 法とを組み合わせ形成する。次に、図 2 (b) に示すように、コンタクトプラグ 4 および保護絶縁膜 3 上に、上層から $\text{Ir}/\text{TiAlN}/\text{Ti}$ の積層膜をスパッタリング

法により成膜した後、コンタクトプラグ4を覆うようにドライエッチング法によりパターニングし第1のバリア膜5を形成する。次に、保護絶縁膜3上および第1のバリア膜5上および第1のバリア膜5側壁をカバーするように上層からPt/IrO₂の積層膜をスパッタリング法により成膜した後、第1のバリア膜5が完全にカバーされるようにドライエッチング法によりパターニングし第2のバリア膜6を形成する。この第1のバリア膜5と第2のバリア膜6とにより下部電極7が構成される。次に、図2(c)に示すように、保護絶縁膜3上および下部電極7上にビスマス層状ペロブスカイト構造を有するSrBi₂(Ta_{1-x}Nb_x)O₉薄膜からなる容量膜8を有機金属分解法(MOD法)、有機金属化学的气相成膜法(MOCVD法)またはスパッタリング法により成膜し、更に容量膜8上に上層からTi/PtまたはTiN/Ptの積層膜からなる上部電極9をスパッタリング法により成膜する。次に、容量膜8と上部電極9とをドライエッチング法によりパターニングする。これにより、下部電極7、容量膜8および上部電極9からなるデータ記憶用容量素子を形成する。

【0025】

以上のように上記第1の実施の形態による半導体記憶装置によれば、TiまたはTa系の化合物を含む第1のバリア膜を、酸素バリア膜からなる第2のバリア膜により完全にカバーできる構造を有する下部電極を用いるため、高誘電体または強誘電体結晶化での高温酸素アニール時においても下部電極側壁からの酸素拡散が抑制でき、コンタクトプラグの酸化によるコンタクト不良の発生を防止できる。

【0026】

ここで、従来例による半導体記憶装置と本発明による半導体記憶装置の特性比較を行った結果を述べる。

【0027】

図3は、従来例による半導体記憶装置と本発明による半導体記憶装置とでのコンタクトプラグ不良発生率を比較したものである。図3に示すように、強誘電体結晶化のための700℃、酸素雰囲気、1時間の熱処理を行った場合、従来例による半導体記憶装置では、プラグコンタクト不良発生率が97%であるのに対し

、本発明による半導体記憶装置では、不良発生率が0%であり、著しい改善効果が見られた。すなわち、本発明は半導体記憶装置の特性を著しく向上させるものである。

【0028】

また、図4に本発明による半導体記憶装置における第2のバリア膜の酸素バリア膜厚に対するプラグコンタクト不良発生率の関係を示す。ここでは、酸素バリア膜として IrO_2 を用いた例を示す。図4に示すように、 IrO_2 膜厚が70nm以上の場合には、酸素拡散が完全に防止でき、その結果プラグコンタクト不良発生率は0%となる。ただし、 IrO_2 膜厚が250nm以上になると、ドライエッチング法によるパターニングが困難になるため、 IrO_2 膜厚は70nmから250nmの範囲であることが望ましい。

【0029】

なお、本実施の形態において、第1のバリア膜として、上層から $\text{Ir}/\text{TiAlN}/\text{Ti}$ の積層膜を用いたが、 Ir を省略するか、または Ir の代わりに上層から IrO_2/Ir の積層膜を用いても同様の効果が得られる。また、 TiAlN/Ti の代わりに、 TiN 、 TiAlN 、 TiSiN 、 TaN 、 TaSiN 、 TaAlN から選ばれた膜、または TiN 、 TiAlN 、 TiSiN 、 TaN 、 TaSiN 、 TaAlN から選ばれた上層と Ti 、 Ta から選ばれた下層との積層膜であれば同様の効果が得られる。

【0030】

また、本実施の形態において、第2のバリア膜として、上層から Pt/IrO_2 の積層膜を用いたが、 IrO_2 、または上層から Ir/IrO_2 の積層膜、または上層から $\text{Pt}/\text{Ir}/\text{IrO}_2$ の積層膜であれば同様の効果が得られる。

【0031】

また、本実施の形態において、容量膜として、 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ を用いたが、これ以外のピスマス層状ペロブスカイト構造を有する強誘電体、チタン酸ジルコン鉛、チタン酸ストロンチウムバリウムまたは5酸化タンタルであれば、同様の効果が得られる。

【0032】

(第 2 の実施形態)

以下、本発明の第 2 の実施の形態について、図 5、図 6 を参照しながら説明する。

【 0 0 3 3 】

図 5 は本発明の第 2 の実施の形態による半導体記憶装置の要部断面図である。

【 0 0 3 4 】

まず、ソース領域 1 a またはドレイン領域 1 b、およびゲート 2 からなるトランジスタが集積化された半導体基板上の全面を覆う保護絶縁膜 3 を有する。次に、保護絶縁膜 3 に形成されたトランジスタのソース領域 1 a またはドレイン領域 1 b に接続されるタンゲステンまたはポリシリコンからなるコンタクトプラグ 4 を有する。次に、保護絶縁膜 3 上に形成されコンタクトプラグ 4 に接続された、上層から Pt / IrO₂ / Ir / TiAlN / Ti の積層膜からなる第 3 のバリア膜 1 1 が配置される。なお各層の膜厚は、Pt が 5 0 n m、IrO₂ が 8 0 n m、Ir が 1 0 0 n m、TiAlN が 4 0 n m、Ti が 2 0 n m である。次に、第 3 のバリア膜の側壁をカバーするように IrO₂ の積層膜からなる第 4 のバリア膜 1 2 が配置される。なお IrO₂ 膜厚は 1 5 0 n m である。特に、第 4 のバリア膜である IrO₂ については、膜厚が 7 0 n m から 2 5 0 n m の範囲であることが望ましい。この第 3 のバリア膜 1 1 と第 4 のバリア膜 1 2 とにより、容量素子の下部電極 1 3 が構成される。次に、下部電極 1 3 より外側に配置されるように、保護絶縁膜 3 および下部電極 1 3 上に形成された、膜厚が 5 0 n m から 2 0 0 n m の範囲にあるピスマス層状ペロブスカイト構造を有する SrBi₂(Ta_{1-x}Nb_x)O₉ からなる容量膜 8 を有する。次に、容量膜 8 上の一部を少なくとも含むように配置された上層から Ti / Pt または TiN / Pt よりなる上部電極 9 を有する。なお各層の膜厚は Ti または TiN が 2 0 n m、Pt が 5 0 n m である。この下部電極 1 3、容量膜 8 および上部電極 9 により、データ記憶用容量素子が形成される。

【 0 0 3 5 】

また、図 6 は本発明の第 2 の実施の形態による半導体記憶装置の製造方法の工程断面図である。以下に図 6 を用いて本発明の第 2 の実施の形態による半導体記

憶装置の製造方法を説明する。

【 0 0 3 6 】

まず、図 6 (a) に示すように、ソース領域 1 a、ドレイン領域 1 b およびゲート 2 からなるトランジスタが集積化された半導体基板上の全面を覆うように保護絶縁膜 3 を形成する。次に、保護絶縁膜 3 にトランジスタのソース領域 1 a またはドレイン領域 1 b に接続されたコンタクトホール 1 0 をドライエッチングにより形成した後、コンタクトホール 1 0 内にタングステンまたはポリシリコンからなるコンタクトプラグ 4 を C V D 法とエッチバック法または C M P 法とを組み合わせ形成する。次に、図 6 (b) に示すように、コンタクトプラグ 4 および保護絶縁膜 3 上に、上層から $Pt / IrO_2 / Ir / TiAlN / Ti$ の積層膜をスパッタリング法により成膜した後、コンタクトプラグ 4 を覆うようにドライエッチング法によりパターニングし第 3 のバリア膜 1 1 を形成する。次に、保護絶縁膜 3 上および第 3 のバリア膜 1 1 上および第 3 のバリア膜 1 1 側壁をカバーするように IrO_2 をスパッタリング法により成膜した後、第 3 のバリア膜 1 1 の側壁がカバーされるようにドライエッチング法によりパターニングし第 4 のバリア膜 1 2 を形成する。この第 3 のバリア膜 1 1 と第 4 のバリア膜 1 2 とにより下部電極 1 3 が構成される。次に、図 6 (c) に示すように、保護絶縁膜 3 上および下部電極 1 3 上にピスマス層状ペロブスカイト構造を有する $SrBi_2(Ta_{1-x}Nb_x)O_9$ 薄膜からなる容量膜 8 を有機金属分解法 (M O D 法) 、有機金属化学的気相成膜法 (M O C V D 法) またはスパッタリング法により成膜し、更に容量膜 8 上に上層から Ti / Pt または TiN / Pt の積層膜からなる上部電極 9 をスパッタリング法により成膜する。次に、容量膜 8 と上部電極 9 とを外側に配置されるようにドライエッチング法によりパターニングする。これにより、下部電極 1 3、容量膜 8 および上部電極 9 からなるデータ記憶用容量素子を形成する。

【 0 0 3 7 】

以上のように上記第 2 の実施の形態による半導体記憶装置によれば、 Ti または Ta 系の化合物を含む第 3 のバリア膜の側壁を、酸素バリア膜からなる第 4 のバリア膜によりカバーできる構造を有する下部電極を用いるため、高誘電体また

は強誘電体結晶化での高温酸素アニール時においても下部電極側壁からの酸素拡散が抑制でき、コンタクトプラグの酸化によるコンタクト不良の発生を防止できる。

【 0 0 3 8 】

この第2の実施形態による半導体記憶装置においても、第1の実施形態による半導体記憶装置と同様に、強誘電体結晶化のための700℃、酸素雰囲気、1時間の熱処理を行った場合、プラグコンタクト不良発生率は0%であり、従来例に対して著しい改善効果が見られた。すなわち、本発明は半導体記憶装置の特性を著しく向上させるものである。

【 0 0 3 9 】

また、本発明による半導体記憶装置における、第4のバリア膜の酸素バリア膜厚に対するプラグコンタクト不良発生率の関係は、第1の実施形態における第2のバリア膜と同様、図4に示すとおりとなる。すなわち、第4のバリア膜厚として IrO_2 を用いた場合、膜厚が70nm以上の場合には、酸素拡散が完全に防止でき、その結果プラグコンタクト不良発生率は0%となる。ただし、 IrO_2 膜厚が250nm以上になると、ドライエッチング法によるパターニングが困難になるため、 IrO_2 膜厚は70nmから250nmの範囲であることが望ましい。

【 0 0 4 0 】

なお、本実施の形態において、第3のバリア膜として、上層から $\text{Pt}/\text{IrO}_2/\text{Ir}/\text{TiAlN}/\text{Ti}$ の積層膜を用いたが、 $\text{Pt}/\text{IrO}_2/\text{Ir}$ の代わりに、 Ir 、または上層から IrO_2/Ir の積層膜、または上層から Pt/Ir の積層膜を用いても同様の効果が得られる。また、 TiAlN/Ti の代わりに、 TiN 、 TiAlN 、 TiSiN 、 TaN 、 TaSiN 、 TaAlN から選ばれた膜、または TiN 、 TiAlN 、 TiSiN 、 TaN 、 TaSiN 、 TaAlN から選ばれた上層と Ti 、 Ta から選ばれた下層との積層膜であれば同様の効果が得られる。

【 0 0 4 1 】

また、本実施の形態において、第4のバリア膜として、 IrO_2 を用いたが、

上層から Ir / IrO_2 の積層膜、または上層から Pt / IrO_2 の積層膜、または上層から $\text{Pt} / \text{Ir} / \text{IrO}_2$ の積層膜であれば同様の効果が得られる。

【0042】

また、本実施の形態において、容量膜として、 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ を用いたが、これ以外のピスマス層状ペロブスカイト構造を有する強誘電体、チタン酸ジルコン鉛、チタン酸ストロンチウムバリウムまたは5酸化タンタルであれば、同様の効果が得られる。

【0043】

【発明の効果】

以上のように本発明によれば、下部電極側壁からの酸素拡散を抑制できるため、コンタクトプラグの酸化によるコンタクト不良の発生を防止でき、容易な方法により優れた特性を有する半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態における半導体記憶装置の要部断面図

【図2】

本発明の第1の実施形態における半導体記憶装置の工程断面図

【図3】

本発明の第1の実施形態および第2の実施形態における半導体記憶装置の電気特性図

【図4】

本発明の第1の実施形態および第2の実施形態における半導体記憶装置の電気特性図

【図5】

本発明の第2の実施形態における半導体記憶装置の要部断面図

【図6】

本発明の第2の実施形態における半導体記憶装置の工程断面図

【図7】

従来の半導体記憶装置の要部断面図

【図 8】

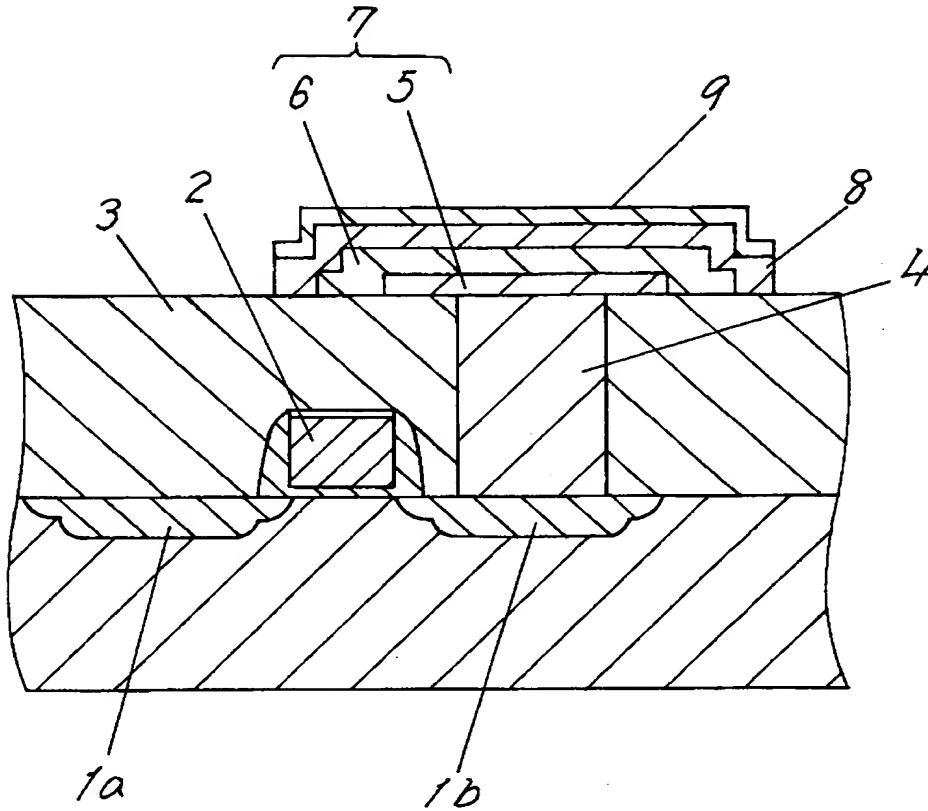
従来の半導体記憶装置における不良発生の説明図

【符号の説明】

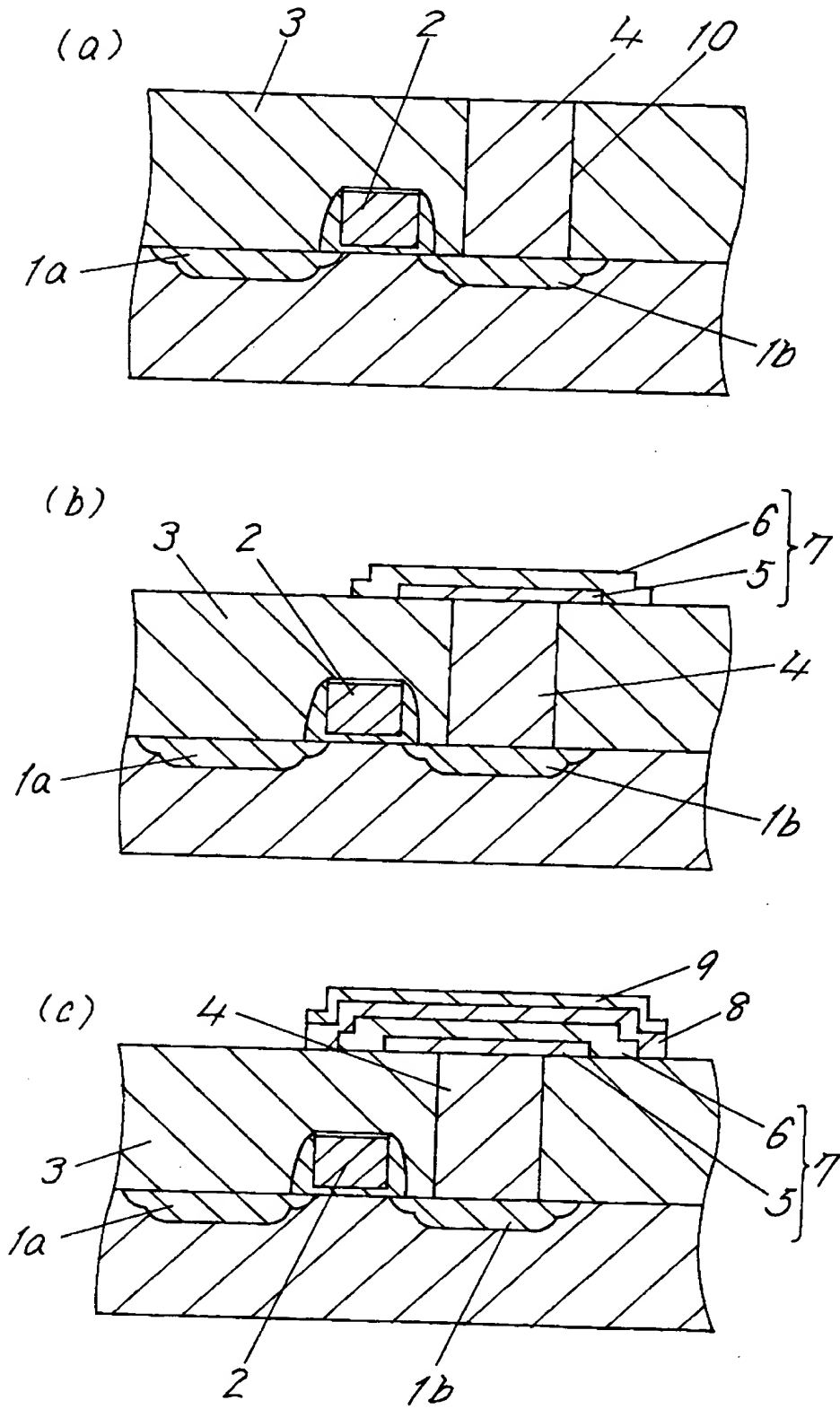
- 1 a トランジスタのソース領域
- 1 b トランジスタのドレイン領域
- 2 トランジスタのゲート
- 3 保護絶縁膜
- 4 コンタクトプラグ
- 5 第 1 のバリア膜
- 6 第 2 のバリア膜
- 7 下部電極
- 8 容量膜
- 9 上部電極
- 1 0 コンタクトホール
- 1 1 第 3 のバリア膜
- 1 2 第 4 のバリア膜
- 1 3 下部電極

【書類名】 図面

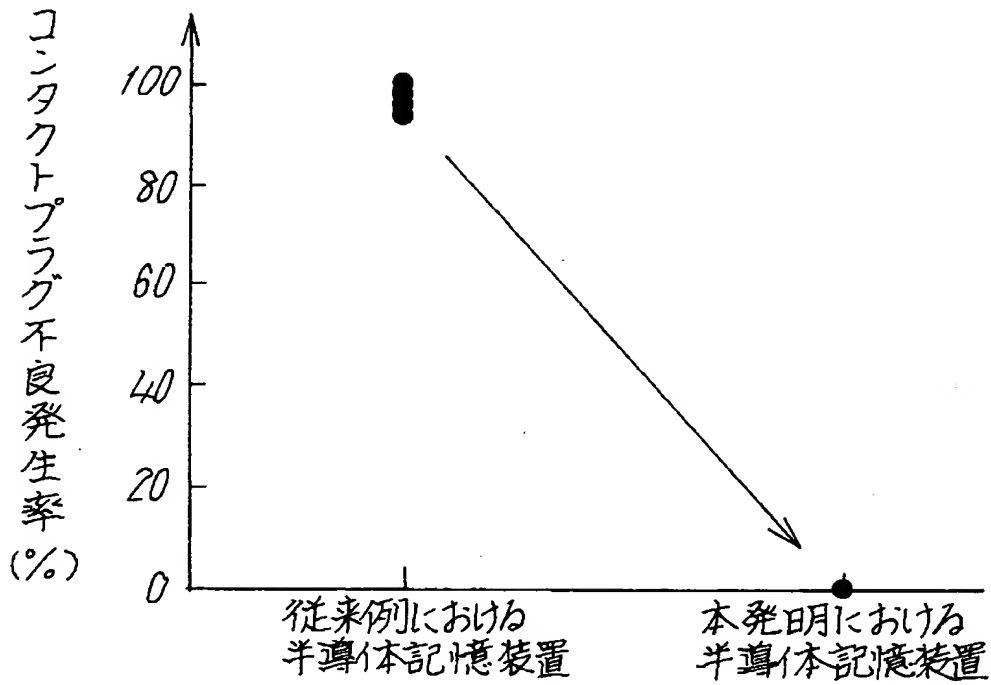
【図 1】



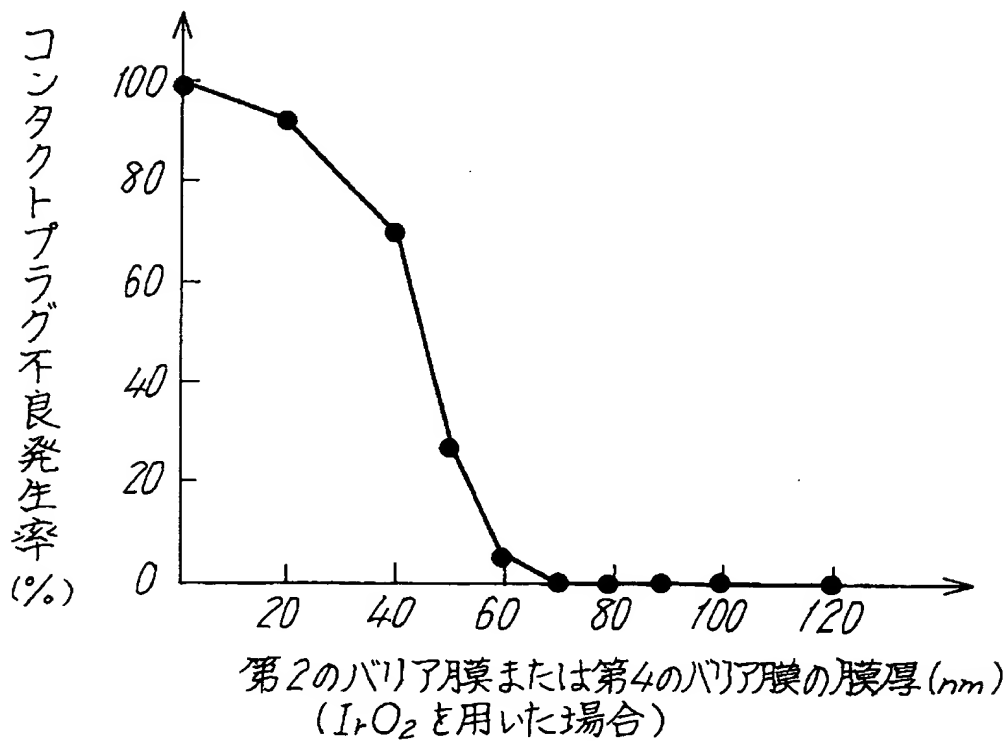
【図 2】



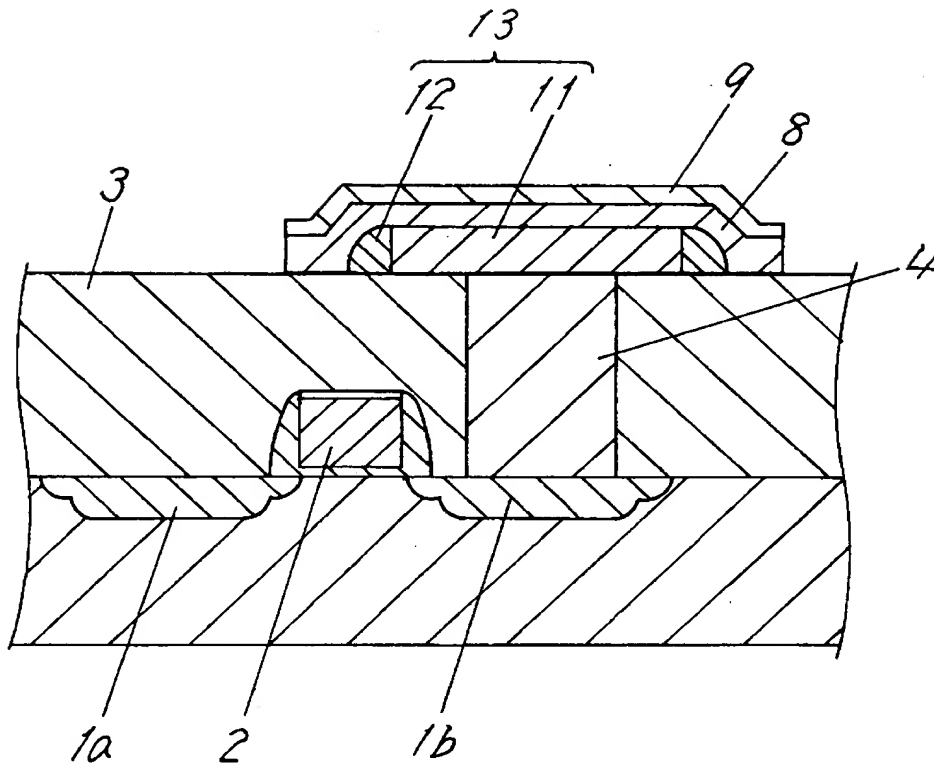
【図 3】



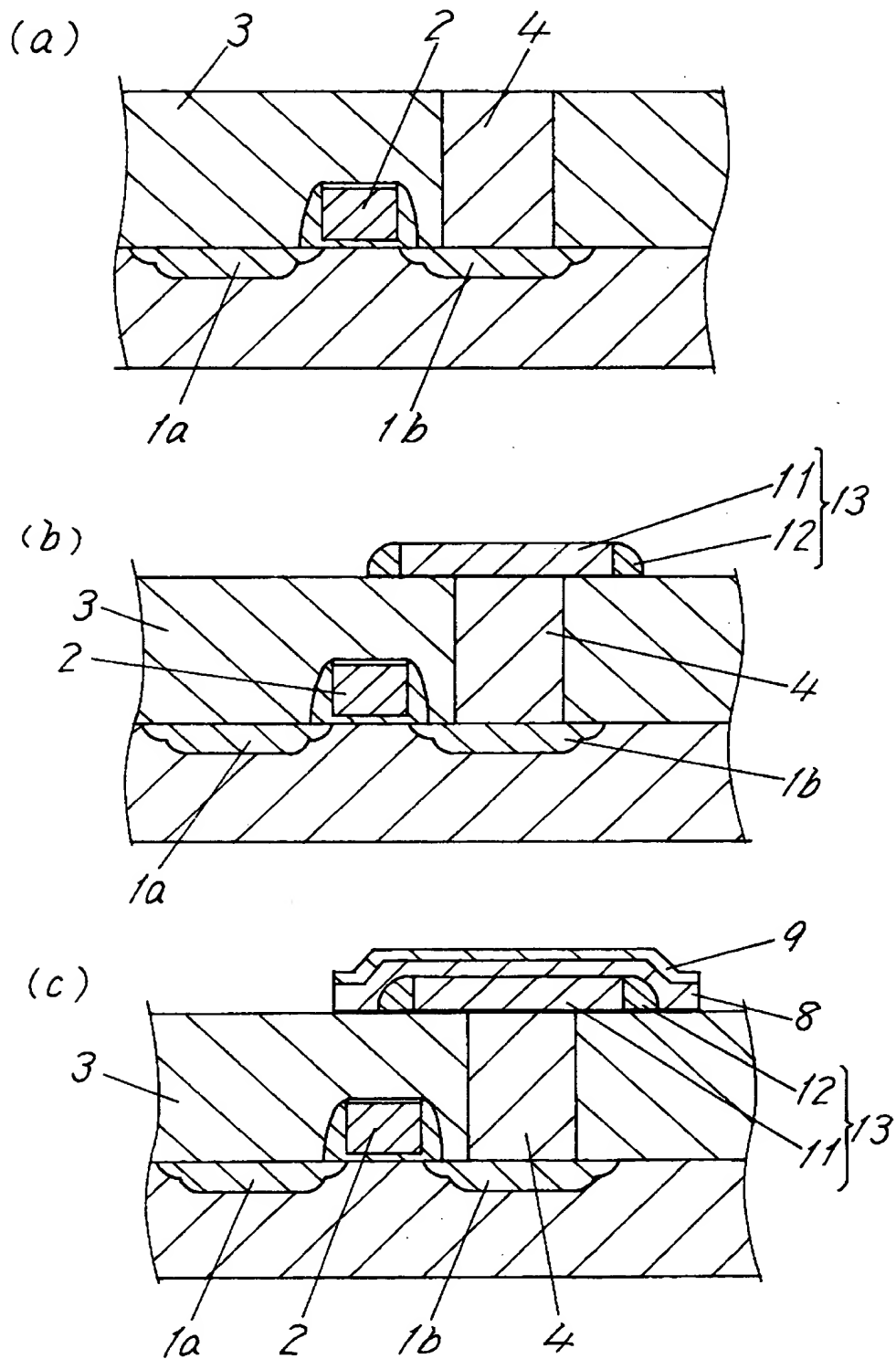
【図 4】



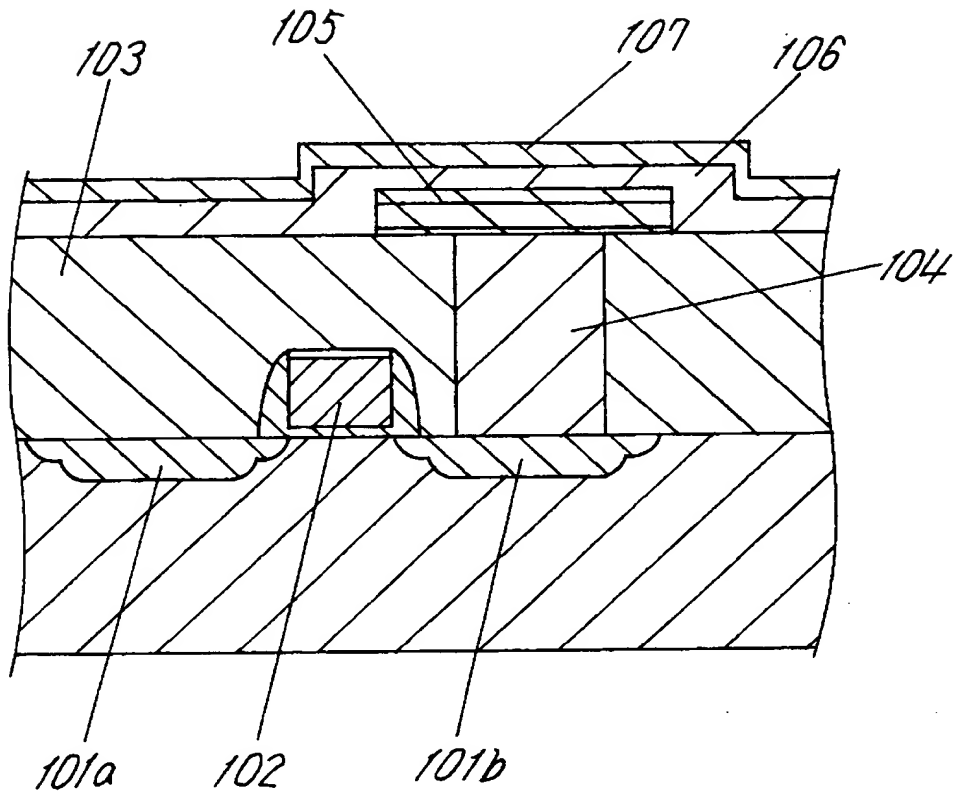
【図 5】



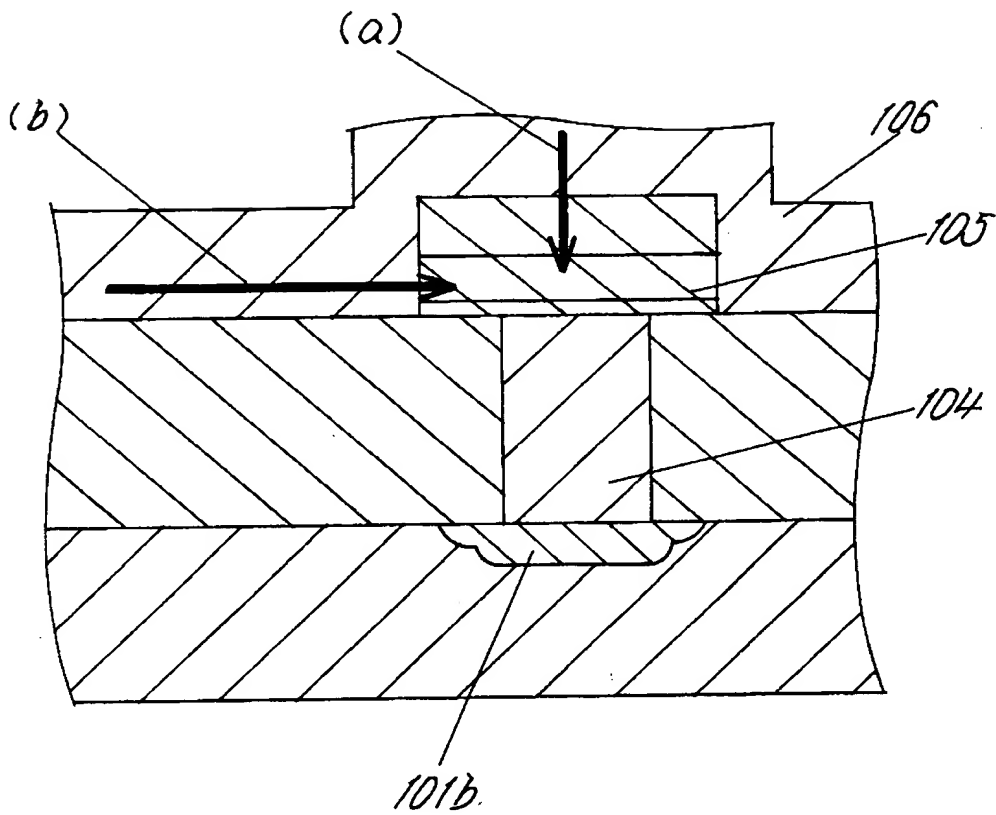
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 下部電極を通じての酸素拡散によるコンタクトプラグ不良を防止する。

【解決手段】 ソース領域、ドレイン領域およびゲートからなるトランジスタが集積化された半導体基板上の全面を覆う保護絶縁膜と、前記保護絶縁膜に形成され前記トランジスタのソース領域またはドレイン領域に接続されたコンタクトプラグと、前記保護絶縁膜上に形成され前記コンタクトプラグに接続された下部電極、前記下部電極または前記下部電極側壁に形成された絶縁性金属酸化物からなる容量膜、前記容量膜上および前記容量膜側壁に形成された上部電極、以上からなるデータ記憶用容量素子を有する半導体記憶装置において、前記下部電極が第1のバリア膜と第2のバリア膜とからなり、前記第1のバリア膜がコンタクトプラグと接しており、さらに、前記第2のバリア膜が酸素バリア膜からなっており、かつ前記第1のバリア膜を完全にカバーしている構造を有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社